

PAT-NO: JP402113596A
DOCUMENT-IDENTIFIER: JP 02113596 A
TITLE: PRINTED CIRCUIT BOARD
PUBN-DATE: April 25, 1990

INVENTOR-INFORMATION:
NAME
NONAKA, YASUHIRO

ASSIGNEE-INFORMATION:
NAME
NEC CORP
COUNTRY
N/A

APPL-NO: JP63266525
APPL-DATE: October 21, 1988

INT-CL (IPC): H05K003/34

US-CL-CURRENT: 29/829

ABSTRACT:

PURPOSE: To prevent a solder bridge or a short-circuit between leads from generating by a method wherein blocks for preventing the generation of the solder bridge or the short-circuit between leads are provided between pads.

CONSTITUTION: Pads 2 for mounting a semiconductor integrated circuit are provided on a substrate 4, blocks 3 consisting of a solder resist are provided

between the pads and lead parts 1 are respectively provided on the pads 2. The solder resist is normally used as a material, which covers conductor patterns on a printed circuit board to insulate them, and is widely used. Thereby, the generation of a solder bridge or a short-circuit between the leads can be prevented.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-113596

⑬ Int. Cl.

H 05 K 3/34

識別記号

D

庁内整理番号

6736-5E

⑭ 公開 平成2年(1990)4月25日

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 プリント回路基板

⑯ 特 願 昭63-266525

⑰ 出 願 昭63(1988)10月21日

⑱ 発 明 者 野 中 康 広 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

プリント回路基板

2. 特許請求の範囲

半導体集積回路を表面実装する為の半田パッドを有するプリント回路基板において、前記半田パッドと半田パッドの間に半田ブリッジを或いはリード間ショートを防ぐ絶縁体のブロックを設けたことを特徴とするプリント回路基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はプリント回路基板に関し、特にパッド間の半田ブリッジ或いはリード間ショート防止に関する。

〔従来の技術〕

従来、表面実装をするプリント基板でも、そこに実装する半導体集積回路のリードピッチが割合

広かった為、パッド間隔も十分あり半田ブリッジやリード間ショートなどの問題は少なかった。

〔発明が解決しようとする課題〕

近年半導体製品の高密度化、小型化によるプリント回路基板への半導体集積回路の高密度実装化に伴ない半導体集積回路自体が小型化し、リードピッチ、パッドピッチの狭化が進んでいる。例えばVSO Pのリードピッチは0.85mm、VQFPのリードピッチは0.5mmの狭さになっている。

このため上述した基板上に半導体集積回路を実装する為のパッドが設けてあるだけの、従来のプリント回路基板では実装の際半田ブリッジ、リード間ショートを起こし易いという欠点がある。

〔課題を解決するための手段〕

本発明のプリント回路基板はパッドとパッドの間に半田ブリッジ、リード間ショートを防止するブロックを有することを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の実施例であり、半導体集積回

路を実装するパッド部分の縦断面図である。

第1図の構成は以下に示す通りである。

基板：4上に半導体集積回路を実装する為のパッド：2があり、パッドとパッドの間にはソルダーレジストのブロック：3が設けてある。第1図にはパッドの上に模式的に半導体集積回路のリード部：1も描いておくものとする。

ソルダーレジストは通常、プリント回路基板上の導体パターンを覆い、絶縁するのに広く用いられる素材で、半田ブリッジ防止のブロックをソルダーレジストで構成することにより、安価で出来るという利点がある。

本発明の第2の実施例を第2図に示す。

第2の実施例の構成は、前述の第1の実施例と同様であるが、第2の実施例では、前記ブロックをソルダーレジストでなくフォトレジストにより構成する。

ソルダーレジストは安価である反面、非常に精度を要求する場合対応しきれないという欠点がある。この第2の実施例ではマスクによるフォトレ

ジストを使う為、精度が良く、パッドぎりぎりまでブロックを設けること、或いは更に微細なパターンでも対応できるという利点がある。

〔発明の効果〕

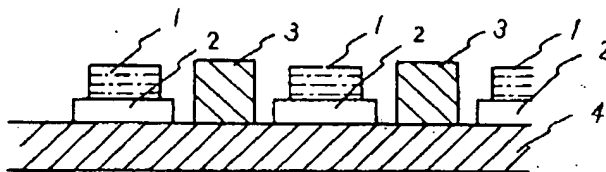
従来のプリント回路基板では、パッド間隔が狭くなると半田ブリッジ或いはリード間ショートを起こし易かったが、本発明によりこれらを防止することが出来る効果がある。

4. 図面の簡単な説明

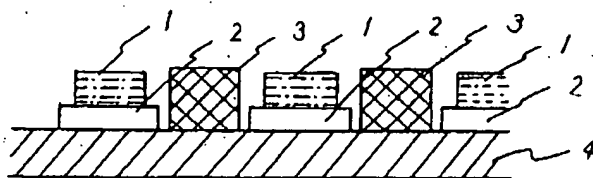
第1図及び第2図は本発明の実施例で、半導体集積回路を実装するパッド部分の縦断面図である。

代理人 弁理士 内 原 晋

- 1…半導体集積回路のリード部
- 2…パッド
- 3…ブロック
- 4…基板



第1図



第2図